

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-017518

(43)Date of publication of application : 22.01.1999

(51)Int.Cl.

H03K 19/0175

(21)Application number : 09-167607

(71)Applicant : NEC CORP

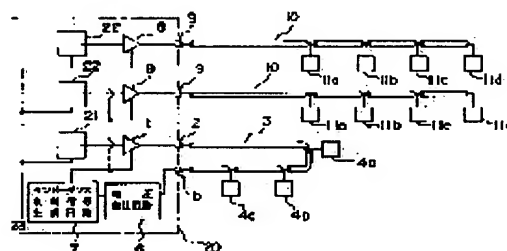
(22)Date of filing : 24.06.1997

(72)Inventor : ISHIZUKI HITOSHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT INCORPORATING OUTPUT IMPEDANCE ADJUSTMENT CIRCUIT**(57)Abstract:**

PROBLEM TO BE SOLVED: To improve a transmission efficiency for a prescribed time and to suppress power consumption at signal transmission to a required minimum power matching a transmission line by preventing waveform distortion caused by the reflection resulting from mismatching of an output circuit impedance with respect to the transmission line with respect to an impedance change due to a change of a load form or the like so as to increase the signal transmission rate in the case that the semiconductor interface derives the transmission line.

SOLUTION: A voltage detection circuit 6 detects an input signal waveform of a dummy load sent from output circuits 1-8 of the semiconductor integrated circuit via a transmission line 3 provided as a dummy, an output impedance of the output circuits 1-8 is controlled by the detection result and optimum drive capability is obtained matching the impedance of the transmission line to be driven. Thus, waveform distortion at signal transmission is prevented, high speed transmission is attained and the power consumption is suppressed to a required minimum value.

**LEGAL STATUS**

[Date of request for examination] 24.06.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3156638

[Date of registration] 09.02.2001

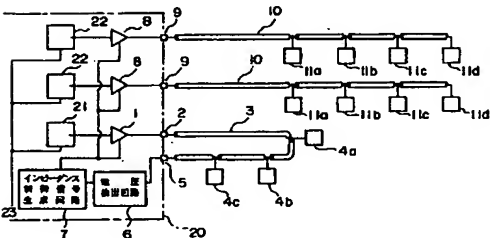
[Number of appeal against examiner's decision of rejection]

特開平11-17518

(43) 公開日 平成11年(1999) 1月22日

(51) Int. Cl. ⁷ H 03 K 19/0175		F 1 H 03 K 19/00 101 Q 101 F	
(21) 出願番号 特開平9-167607		(71) 出願人 000004237 日本電気株式会社 東京都港区芝五丁目7番1号	
(22) 出願日 平成9年(1997) 6月24日		(72) 発明者 石橋 仁 東京都港区芝五丁目7番1号 日本電気株式会社内 (74) 代理人 弁護士 京本 直樹 (外2名)	
(54) 【発明の名称】 出力インピーダンス調整回路が備った半導体集積回路		審査請求 有 請求項の数1 OL (全6頁)	

(57) 【要約】
【課題】 半導体集積回路が伝送線を駆動する場合、負荷形態の変化等によるインピーダンス変化に対し、伝送線路に対する出力回路インピーダンスの不整合を起因とする反射による波形歪みを防止することにより信号伝送を高速度化し、一定の時間における伝送効率を向上するとともに信号伝送時に消費される消費電力を伝送線路にあわせて必要最低限の電力に抑える。
【解決手段】 半導体集積回路の出力回路からダミーとして設けた伝送線路を介して伝送されてきたダミー負荷入力信号波形を該半導体集積回路の検出回路で検出し、その検出結果により上記出力回路の出力インピーダンスを制御して、駆動する伝送線のインピーダンスにあわせて最適な駆動能力を得ることにより信号伝送時の波形歪みを防ぎ、高速度伝送を可能とし、電力消費を必要最低限に抑える。



い、ただし、ダミー伝送線路3の最遠端は半導体集積回路200の入力端子5と接続されるため、ダミー伝送線路3に接続されるダミー負荷回路4の数は負荷回路群11の数より1個少ない数となる。

【0013】本実施の形態においては、伝送線路10と伝送線路3とは半導体集積回路からみるとインピーダンスが全く同じと言うことになる。出力回路1および8が同一駆動能力を有していれば負荷回路11aとダミー負荷4aに到達する信号波形は全く同じものとなる。以降同様11bと4b、11cと4c、11dと入力端子5へはそれぞれ同一の波形が伝送される。

【0014】本実施形態において伝送波形が最適となるためには最遠端の負荷における波形を最適化すればよい、半導体集積回路200から最遠端の負荷回路11dまでの距離は実質には離れているためモニタすることはないが、信号伝送線路10と同一負荷を持つ伝送線を折り返して入力端子5と接続したダミー伝送線路3については最遠端負荷として入力端子5の波形をモニタする手段を有することになる。したがって、入力端子5の波形を最適化すれば負荷回路11dにおける波形も最適化される。

【0015】図3に示すように、出力回路1は出力段にトランジスタ30および31が多数並列に接続され制御信号入力端子群36への入力信号により駆動するトランジスタ数が制御され出力インピーダンスが変化するような構成となっている。出力回路8はこの出力回路1と同一構成を有し、出力回路1と同一の制御信号により出力インピーダンス同じで変化させることができる。また、出力回路1の他の構成例として、図4のように、トランジスタ42が複数段トランジスタ40および41と直列に接続され制御信号入力端子群36への入力信号により、導通するトランジスタ数が制御され出力インピーダンスが変化する回路構成としてもよい。なお、出力回路1の駆動能力は実際に駆動が予測される各種伝送線路のインピーダンス幅以上の駆動能力を持つようトランジスタ数並びに1個当たりの駆動能力を設定する。

【0016】入力端子5には、図5で示すように、電圧検出回路6が接続されており、入力端子5で受けた信号立ち上がりに対し一定の遅延を加える遅延回路57が出力するタイミング信号を入力端子5の電圧を取り込む構成となっている。

【0017】また、入力電圧検出回路6はさらにインピーダンス制御信号生成回路7と接続される。

【0018】ここで、入力電圧検出回路6およびインピーダンス制御信号生成回路7について詳細に説明する。

【0019】比較器53、54はそれぞれ異なる判定電圧VREF1およびVREF2を持つている。この判定電圧VREF1およびVREF2は半導体集積回路200の内部で生成しても、外部より入力しても構わない。比較器53および54の出力は、遅延回路57から出力されるサンプリング信号で動作するフリップフロップ(以下F/Fと呼ぶ)55および56に与えられる。

【0020】F/F55および56の出力はインピーダンス制御回路7内のカウンタ回路58を経過して保持回路59に送られる。

【0021】次に出力回路の駆動能力、すなわち出力インピーダンス、の違いが伝送信号波形の速みにどのように影響するかを図1および図2を参照して説明する。

【0022】図2の波形100は、出力回路1の出力インピーダンス値がその回路1が接続される伝送線路3のインピーダンス値より大きい場合の出力端子2の過渡電圧波形である。その時の最遠端負荷の受信側波形が図2の波形101である。

【0023】この場合、信号が最初に最遠端負荷5に到達する時刻t1での電圧(以下ではこれを最遠端負荷の初期振幅と呼ぶ)は電圧VREF1およびVREF2に達しない、電圧VREF1およびVREF2に達するには時刻t4までの時間を要する。

【0024】さらに出力インピーダンスを下げ、図2の波形110となるまで駆動能力を上げる。なお、この場合でも最遠端負荷の初期振幅は電圧VREF1およびVREF2に達していない、電圧VREF1およびVREF2に達するには時刻t3までの時間を要する。

【0025】さらに出力インピーダンスを下げ、図2の波形120となるまで駆動能力を上げる。この場合、受信側の電圧波形においては時刻t1で電圧VREF1およびVREF2の中間電圧に達しており、出力波形図2の波形100および110のときより信号は受信側では早く設定される。

【0026】この上さらに出力インピーダンスを下げ、図2の波形130の波形まで駆動能力を上げた時の受信波形が図2の波形131である。すると、図2の波形121と同様に受信側では時刻t1で電圧VREF1およびVREF2に達しているにも関わらず、時刻t2では逆に電圧VREF1より電圧が低下する。この後、電圧VREF1を上回るのとは時刻t3以降となる。

【0027】すなわち、出力回路1が出力した信号を負荷回路5で確実に受信できる時間が一番早い条件は出力波形が図2の波形120の場合である。

【0028】従って入力端子5で最適伝送波形となるのは入力端子2での初期振幅がVREF1とVREF2との中間電圧であればよいと言える。

【0029】次に、本発明の実施の形態の動作について図1、図2、図3、図4および図5を参照して説明する。

【0030】入力電圧検出回路6の検出タイミングは伝送波形が最初に到達する時刻t1より遅延した時刻t5に設定する。この遅延量は電圧検出回路6内の遅延回路57により一定の時間に設定する。ただし、検出タイミングt5は時刻t2を越えないものとしなければならない

い、

【0031】まず、伝送線路と接続された半導体集積回路200が信号伝送を開始する前、たとえば半導体集積回路200の電源を立ち上げた直後においては出力回路の初期状態を出力インピーダンスが最大つまり駆動能力が最小になるよう設定しておく。

【0032】これより出力インピーダンスの調整シーケンスに入る。

【0033】内部回路21は出力端子2がLowレベル→Hiレベル→Lowレベル→Hiレベルの繰り返し信号を出力するようテストパターン信号を出力回路へ送る。このテストパターン信号は内部回路用クロック端子23から入力されるクロックを分周して生成してもよい。

【0034】出力がLowレベルからHiレベルに遷移するときには前述したサンプリングタイミングで入力端子5に見え初期振幅を電圧検出回路6で検出する。検出した初期振幅電圧が図2の波形100で示されるように判定電圧VREF1およびVREF2より低い場合は電圧検出回路6内の2つのF/F55および56は“0”および“0”にセットされる。電圧検出回路6は現在の駆動能力が低すぎるという検出信号(F/F55、56にセットされた“0”、“0”のこと)を制御回路7へ送る。制御回路7では電圧検出回路6より“0”、“0”信号を受け取りカウンタ回路で生成した駆動能力を一段増加する指示信号を出力回路1へ出力し、出力回路は駆動能力を一段上げる。この後、次の信号立ち上がりでも同様に検出作業を行う。

【0035】一段ずつ駆動能力を上げていき、初期振幅電圧が図2の波形120で示されるように検出タイミングt5において検出電圧が判定電圧VREF1とVREF2との中間となったら電圧検出回路6内のF/F55および56は“1”および“0”にそれぞれセットされる。制御回路7では電圧検出回路からの信号“1”および“0”を受けると、出力インピーダンスは最適値であると判断し駆動能力制御動作を停止する。この時の駆動能力調整信号は制御回路8に配したフリップフロップ、RAM等何らかの保持回路59により保持させておく。

【0036】この時点で出力回路は接続される伝送線路に最適な駆動能力に設定されており、受信側における波形は図2の波形121で示されるように歪みのない波形となる。

【0037】これで駆動能力の問題シーケンスが終了し、保持回路59に設定されている制御信号により信号出力回路8の出力インピーダンスが最適に設定されており、実際の信号伝送に使用できるようになる。

【0038】上述した説明は信号の立ち上がりで出力駆動能力を調整する場合について説明したが信号の立下がりでも調整する場合も判定レベルが異なるだけであり手順としては同様である。

【0039】なお、初期状態の駆動能力を最大とし制御により出力インピーダンスを上げていく手順をとっても構わない。

【0040】また、出力回路の例として図5に示されるように出力段のHiレベルとLowレベルにそれぞれ駆動能力調整機構がある場合はHiレベルとLowレベルそれぞれ個別に調整が必要があるが出力段のHiレベルとLowレベルの一段あたりの駆動能力を同一値とすることにより立ち上がりまたは立下がりどちらか一方の検出結果よりHiレベル側とLowレベル側の両方の駆動能力調整を済ませることができる。

【0041】また出力回路の例として図5に示されるように出力トランジスタ40および41と直列に駆動能力調整回路を設けている場合でも同様に立ち上がりまたは立下がりのどちらか一方の検出結果により調整を済ませることが可能となる。

【0042】

【発明の効果】本発明の第1の効果は、伝送線路を駆動する半導体集積回路において、伝送線路を変更したり、伝送線路に接続される負荷形態を変更することによる不均一な伝送線路のインピーダンス変化に対し、半導体集積回路を作り替えることなく常に最適な出力インピーダンスに制御することができるため、信号伝送時の波形歪みが少なく高速度信号伝送が可能となる。

【0043】本発明の第2の効果は、接続される伝送線路のインピーダンスにあわせて最適な出力インピーダンスに調整することにより、過渡的な出力電流を必要最低限に抑えることが可能となり、かつ受信回路部には終端回路が必要なくなるため、終端回路に流れる定常電流、つまり出力回路を成る定常電流も皆無とすることができる。

【0044】これにより出力回路の消費電力も伝送線路にあわせて最低限に抑えることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態を示す図である。

【図2】本発明の実施の形態の動作を説明するための波形図である。

【図3】本発明における出力回路部の構成を示す図である。

【図4】本発明における出力回路部の他の構成を示す図である。

【図5】本発明における初期電圧検出回路の構成を示す図である。

【図6】従来の技術を示す図である。

【符号の説明】

1、8 出力回路

2、9 出力端子

3 ダミー伝送線路

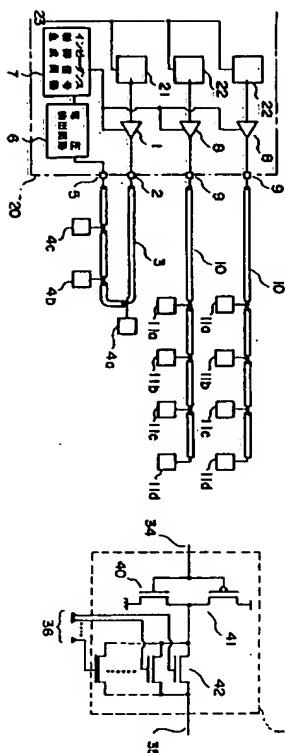
4a、4b、4c ダミー負荷

5 入力端子

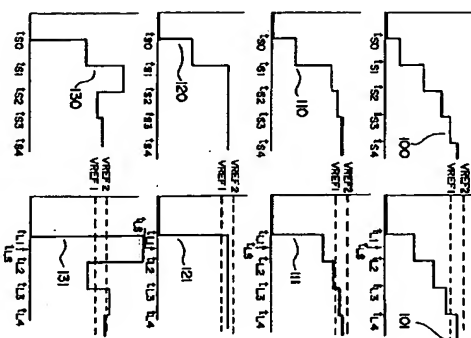
- 6 電圧検出回路
- 7 インバータ駆動信号生成回路
- 10 信号伝送線路
- 11a, 11b, 11c, 11d 負荷回路
- 20 半導体集積回路
- 21, 22 内部回路
- 23 内部回路用クロック端子
- 30 LOW電圧出力駆動能力調整用トランジスタ
- 31 HIGH電圧出力駆動能力調整用トランジスタ
- 32 LOW電圧出力用トランジスタ
- 33 HIGH電圧出力用トランジスタ
- 34 出力回路入力端子
- 35 出力回路出力端子
- 36 制御信号入力端子群
- 40 LOW電圧出力用トランジスタ
- 41 HIGH電圧出力用トランジスタ
- 42 出力駆動能力調整用トランジスタ
- 51, 52 判定電圧入力端子
- 53, 54 比較器
- 55, 56 フリップフロップ
- 57 遅延回路

- 58 カウンタ回路
- 59 保持回路
- 60 制御信号出力端子
- 61 インバータ駆動信号生成回路用クロック端子
- 100 出力端子における信号立ち上がり波形 (駆動能力小の場合)
- 101 最適増幅回路入力信号立ち上がり波形 (駆動能力小の場合)
- 110 出力端子における信号立ち上がり波形 (駆動能力小の場合)
- 111 最適増幅回路入力信号立ち上がり波形 (駆動能力小の場合)
- 120 出力端子における信号立ち上がり波形 (駆動能力適正の場合)
- 121 最適増幅回路入力信号立ち上がり波形 (駆動能力適正の場合)
- 130 出力端子における信号立ち上がり波形 (駆動能力大の場合)
- 131 最適増幅回路入力信号立ち上がり波形 (駆動能力大の場合)

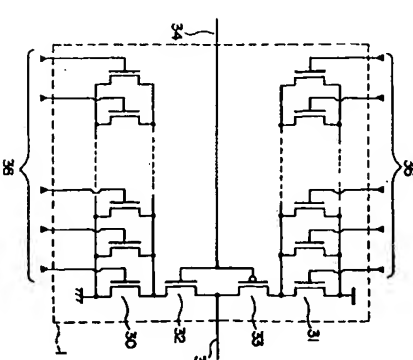
【図1】



【図4】

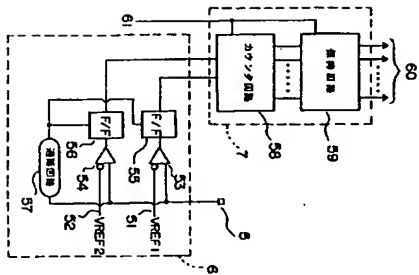


【図2】



【図3】

【図5】



【図6】

